

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-217339

(43)Date of publication of application : 27.08.1993

(51)Int.Cl. G11B 27/10
G11B 20/10
G11B 20/10

(21)Application number : 04-040661 (71)Applicant : SONY CORP

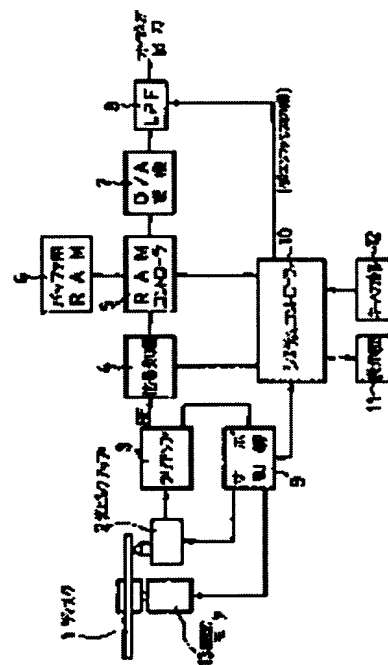
(22)Date of filing : 31.01.1992 (72)Inventor : ARATAKI YUUJI
MASUDA SHOZO
KABASAWA KENICHI
SUMINO TORU

(54) DATA REPRODUCING DEVICE

(57)Abstract:

PURPOSE: To display and control an audio output signal in conformity with timing while a storage capacity is effectively utilized from a buffer RAM where only main data is stored.

CONSTITUTION: Data read out of a disk 1 is decoded by a signal processing part 4 to take out its main data, which is then controlled of write/read on the buffer RAM 6 by a RAM controller 5, so that the main data is sent to a D/A converter 7 at a constant rate and is outputted via an LPF 8. A delay amt. between write and read is evaluated by a system controller 10 based on a data amt. stored in the buffer RAM 6, and time information and control information of subcode data from the signal processing part 4 are delayed by this delay amt., and are displayed on a display part 11, or are controlled for a changeover to the LPF 8, etc.



LEGAL STATUS

[Date of request for examination] 28.01.1999

[Date of sending the examiner's decision of rejection] 08.04.2003

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]
[Date of final disposal for application]
[Patent number] 3465265
[Date of registration] 29.08.2003
[Number of appeal against examiner's
decision of rejection] 2003-08067
[Date of requesting appeal against
examiner's decision of rejection] 08.05.2003
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-217339

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 B 27/10

A 8224-5D

20/10

B 7923-5D

3 2 1 Z 7923-5D

審査請求 未請求 請求項の数2(全 11 頁)

(21)出願番号

特願平4-40661

(22)出願日

平成4年(1992)1月31日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 荒瀬 裕司

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 増田 昌三

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 樺沢 憲一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 弁理士 小池 晃 (外2名)

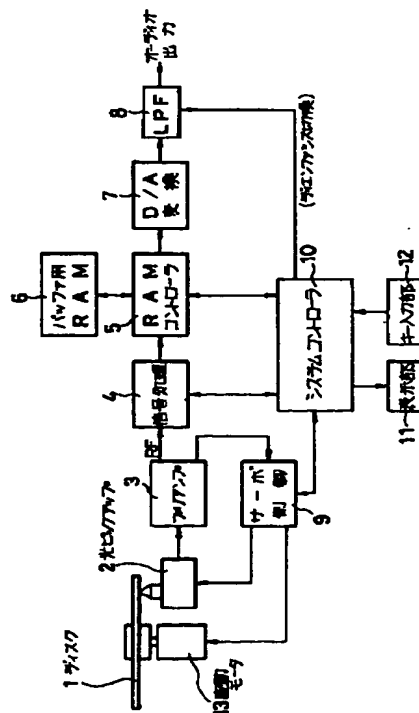
最終頁に続く

(54)【発明の名称】 データ再生装置

(57)【要約】

【構成】 ディスクから読み取られたデータを信号処理部4によりデコードしてメインデータを取り出し、RAMコントローラ5によりバッファ用RAM6に対して書込/読出制御することにより、一定レートでD/A変換器7にメインデータを送ってLPF8を介して出力する。システムコントローラ10は、バッファ用RAM6に蓄えられたデータ量に基づいて書込、読出間の遅延量を求め、この遅延量分だけ信号処理部4からのサブコードデータの時間情報や制御情報を遅らせて表示部11に表示させたり、LPF8に切換制御等を行わせる。

【効果】 メインデータのみをバッファ用RAM6に蓄えるようにして記憶容量の有効利用を図りながら、オーディオ出力信号にタイミングの一致した表示や制御を行わせることができる。



【特許請求の範囲】

【請求項1】 メインデータに補助データが付加された記録データが記録された記録媒体から該記録データを読み取って上記メインデータを再生するデータ再生装置において、

上記記録媒体から読み出された記録データから上記メインデータと上記補助データとを分離する信号処理手段と、

この分離されたメインデータを記憶するバッファ用メモリと、

このバッファ用メモリに対して上記メインデータの書込／読出を制御するメモリ制御手段と、

上記バッファ用メモリに記憶されている再生可能なデータの量に応じた書込、読出間の遅延量を求め、この遅延量と上記信号処理手段からの上記補助データから得られる時間関連情報とに基づき、上記バッファ用メモリから読み出されているメインデータの時間関連情報を算出する制御手段とを有することを特徴とするデータ再生装置。

【請求項2】 メインデータに補助データが付加された記録データが記録された記録媒体から該記録データを読み取って上記メインデータを再生するデータ再生装置において、

上記記録媒体から読み出された記録データから上記メインデータと上記補助データとを分離する信号処理手段と、

この分離されたメインデータを記憶するバッファ用メモリと、

このバッファ用メモリに対して上記メインデータの書込／読出を制御するメモリ制御手段と、

上記バッファ用メモリに記憶されている再生可能なデータの量に応じた書込、読出間の遅延量を求め、上記信号処理手段からの上記補助データから得られる制御情報信号を上記遅延量の時間だけ遅延させて上記バッファ用メモリから読み出されているメインデータに対する制御を行わせる制御手段とを有することを特徴とするデータ再生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、記録媒体から読み取られたデータをメモリに蓄えておき、該メモリから一定レートで読み出して再生するようなデータ再生装置に関する。

【0002】

【従来の技術】 一般にデジタルオーディオ信号やデジタルビデオ信号等を記録及び／又は再生するテーブルコードやディスクプレーヤ等において、記録デジタル信号としては、誤り訂正符号化処理やインターリーブ処理が施されたデジタルオーディオデータやデジタルビデオデータ等のメインデータと、アドレス情報や制御

情報等の補助データとを有するものが多い。例えばいわゆるコンパクトディスク（CD）のフォーマットにおいては、ステレオ左右2チャンネルのオーディオ信号をそれぞれ44.1kHzでサンプリングし16ビットで量子化してオーディオPCM信号とし、CIRC（クロス・インターリーブ・リード・ソロモン符号）により符号化処理してメインデータとしている。このメインデータに、曲中か曲間かの識別情報や、曲番号（トラック番号）、曲内の経過時間（ラップタイム）、絶対時間（アブソリュートタイム）、エンファシス制御等の情報を含む補助データ、いわゆるサブコードデータを付加して記録データとし、この記録データをEFM（8-14変調）方式で変調して記録信号としている。

【0003】 このようなフォーマットのコンパクトディスク（CD）を通常の再生装置で再生する場合には、ディスクから読み取られたEFM信号から一般にPLL（位相ロックループ）構成を用いてクロック成分を検出（クロック再生）し、この再生されたクロックによって2値データを取り込み、EFM信号の復調が行われる。EFM復調後のデータは、通常、デコード処理用のRAMを用いて上記CIRCに基づく誤り訂正やインターリーブを含むデコード（復号化）処理が施されてデジタルオーディオ信号（PCM信号）となる。このデコード処理用RAMに対しては、上記PLL系の再生クロックに同期してデータが書き込まれ、水晶発振器等の基準発振器からのクロックに同期してデータが読み出される。デコード処理されて得られたデジタルオーディオのPCM信号は、D/A変換器を介し、ローパスフィルタ（LPF）を介して、アナログのオーディオ信号となる。

【0004】 ところで、データ再生装置、特に上記CDプレーヤ等のような光ピックアップを備える装置においては、機器への衝撃や振動等の機械的に外乱によって、光ピックアップのフォーカスサーボやトラッキングサーボ等のサーボ系が外れてしまい、正常なデータ再生を行うことができなくなることがある。この場合、上述したような誤り訂正によっても対処することができなくなり、再生が一時的に中断されてしまう虞れがある。

【0005】 そこで、本件出願人は、先に、先に特願平3-255666号の明細書及び図面等において、再生データを比較的大容量のバッファ用RAMに蓄えて一定レートで読み出すようにすると共に、該バッファ用RAMには常に所定量以上の再生データを蓄えておくことにより、読取エラー等によってディスク等の媒体から正常なデータが得られなくなった場合にでも、該バッファ用RAMに記憶されたデータを読み出して音切れ等の再生信号の中断を補償するようなシステムを提案している。

【0006】 このようなシステムとして、例えば上述したようなコンパクトディスク再生装置の場合には、データをディスクから高速にバースト的（間歇的）に読み出

して上記バッファ用RAMに順次書き込み、このRAMからデータを連続して一定レートで読み出すようにし、バッファ用RAMへデータを書き込む際には、書込アドレスを制御して隣接するデータをRAM内に連続した状態で記憶させることが必要とされる。具体的には、例えばディスクを標準の2倍あるいは3倍～4倍程度の回転速度で回転駆動し、ディスクから読み出されたデータをサブコーディングフレーム（サブコードブロック、標準再生時には13.3msec分の長さ）を単位として上記バッファ用RAMに書き込むことが考えられる。

【0007】

【発明が解決しようとする課題】ところで、このようなバッファ用RAMを用いるデータ再生装置、例えばCDプレーヤにおいては、ディスクから読み取られたデータと、バッファ用RAMから読み出されて現在再生されている信号（音楽等）との間には、少なくともバッファ用RAMに蓄えられているデータに相当する分の時間差が存在する。また、上記デコード処理されたメインデータ（PCMデータ）自体には、上記サブコードデータのような補助情報、すなわち曲番号（トラック番号）、絶対時間、曲内時間（ラップタイム）、ディエンファシス等の情報等が残されていない。

【0008】従って、ディスクから読み取られたサブコードデータを用いて、再生音楽の曲番号や時間の表示、あるいはディエンファシスの制御を行うと、上記時間差のため、実際に再生されている音楽とのずれが生じ、不自然な表示や不自然なディエンファシス切り換え等が行われてしまうことになる。

【0009】ここで、メインデータのみならず補助データ（サブコードデータ等）もそのままバッファ用RAMに蓄えることも考えられるが、その分メインデータの記憶容量が減ることになり、書込／読出処理や構成も複雑化し、好ましくない。

【0010】本発明は、このような実情に鑑みてなされたものであり、ディスク等の媒体から読み取られ再生されたメインデータをバッファ用メモリに対して書込／読出制御するようなデータ再生装置において、バッファ用メモリから読み出されたメインデータに対して、正確な対応関係を有する時間情報等を表示することができ、正しいタイミングでディエンファシス切換等の制御が行われるようなデータ再生装置の提供を目的とする。

【0011】

【課題を解決するための手段】本発明に係るデータ再生装置は、メインデータに補助データが付加された記録データが記録された記録媒体から該記録データを読み取って上記メインデータを再生するデータ再生装置において、上記記録媒体から読み出された記録データから上記メインデータと上記補助データとを分離する信号処理手段と、この分離されたメインデータを記憶するバッファ用メモリと、このバッファ用メモリに対して上記メイン

データの書込／読出を制御するメモリ制御手段と、上記バッファ用メモリに記憶されている再生可能なデータの量に応じた書込、読出間の遅延量と上記信号処理手段からの上記補助データから得られる時間関連情報とに基づき、上記バッファ用メモリから読み出されているメインデータの時間関連情報を算出する制御手段とを有することにより、上述の課題を解決する。

【0012】また、本発明に係るデータ再生装置は、上記制御手段として、上記バッファ用メモリに記憶されている再生可能なデータの量に応じた書込、読出間の遅延量を求め、上記信号処理手段からの上記補助データから得られる制御情報信号を上記遅延量の時間だけ遅延させて上記バッファ用メモリから読み出されているメインデータに対する制御を行わせることにより、上述の課題を解決する。

【0013】ここで、上記バッファ用メモリは、リング状のアドレスのメモリ空間を有し、書込アドレスから読出アドレスまでのアドレス差に応じて上記遅延量（時間差）が決定されることになる。上記補助データとは、例えばいわゆるCDフォーマットにおけるサブコードQデータであり、このサブコードQデータには、ディスク先頭位置からの絶対時間（アブソリュートタイム）情報、曲毎の経過時間（ラップタイム）情報、曲番号（トラック番号）情報、インデックス番号情報等の時間関連情報や、エンファシス情報等の制御用情報が含まれている。これらの時間情報や番号情報等を表示させたりディエンファシス切換等の制御を行わせる際には、得られたサブコードQデータの情報を上記バッファ用メモリでの遅延量の時間分だけ遅らせて表示させたり制御を行わせるわけである。ここで、上記絶対時間や曲内経過時間（ラップタイム）のような時間情報については、補助データ（サブコードQデータ）から得られた各時間情報の値から上記遅延時間を減算することで求めることができる。

【0014】また、上記バッファ用メモリに記憶されている再生可能なデータの量を表示させたり、ポーズやA-Bリピート等の特殊再生時にも上記遅延量を考慮に入れて上記時間関連情報を求めるようにすることが好ましい。

【0015】

【作用】上記バッファ用メモリから読み出されて実際に再生されているメインデータに対してタイミングの一致した時間関連情報が得られ、またディエンファシス切換等の制御が行われる。

【0016】

【実施例】以下、本発明の好ましい実施例について、図面を参照しながら説明する。図1は、本発明に係るデータ再生装置をいわゆるコンパクトディスク（CD）プレーヤに適用した一実施例の装置の概略構成を示すブロック図である。すなわち、光ディスク1には、いわゆるCDフォーマットの記録データが記録されている。このい

いわゆるCDフォーマットについて簡単に説明すると、1ワード16ビットのPCM方式のデジタルオーディオデータの上位、下位の各8ビットが分離されて誤り訂正符号化単位であるシンボルとされ、いわゆるCIRC（クロス・インターリーブ・リード・ソロモン符号）により誤り訂正用パリティの付加及びインターリーブ処理が施される。このCIRCエンコードされたオーディオデータの24シンボル及びパリティ8シンボルの計32シンボルのメインデータが一つの記録単位（フレーム）となり、これに8ビットの補助データであるいわゆるサブコードが付加され、いわゆるEFM（8-14変調）方式で変調されて、フレーム同期パターンが付加されることによって、1フレームが588チャンネルビットのEFM信号となって、光ディスク1に記録されている。上記サブコードは、98フレームで1ブロック（サブコーディングフレーム）とされてP～Wの8チャンネル分の補助的な情報を担うようにされている。このサブコードのQチャンネルには、曲番号、インデックス番号、曲内の経過時間、絶対時間等の補助データが含まれている。

【0017】この図1において、光ディスク1を駆動モータ13により標準速度（線速度）よりも速い速度（例えば2倍の速度）で回転駆動すると共に、光ピックアップ2により間歇的あるいはバースト的に信号を読み出してプリアンプ3で増幅し、いわゆるRF信号として信号処理部4に送る。このRF信号は上述したEFM方式で変調された信号であり、信号処理部4にて、EFM復調、デインターリーブ、誤り訂正、補間、及びサブコードのデコード等の処理が施され、そのメインデータ（オーディオPCMデータ）出力は、RAMコントローラ5を介してバッファ用RAM6に蓄えられる。ここまでのデータ転送レートは、上記高速のディスク回転駆動に応じて標準再生レートよりも高いレート（例えば2倍のレート）となっている。ただし、光ディスク1からのデータの読み取りは、間歇的あるいはいわゆるバースト的に行われ、瞬時のデータ転送レートが標準よりも高くなっているとしても、読み取り休止期間も含めた平均レートは略々標準の再生レートとなっている。このように、間歇的あるいはバースト的にバッファ用RAM6に送られて蓄えられたデータは、RAMコントローラ5により標準の再生レートで連続的に読み出され、D/A変換器7、LPF（ローパスフィルタ）8を介すことにより、アナログのオーディオ出力信号となって取り出される。

【0018】サーボ制御回路9は、例えばフォーカスサーボ、トラッキングサーボ、スピンドルモータサーボ、スレッド（ヘッド移動）サーボ等の制御動作を行うものである。すなわちフォーカスサーボにより、フォーカスエラー信号が0になるように光学ピックアップ2の光学系のフォーカス制御を行い、トラッキングサーボにより、トラッキング信号が0になるように光学ピックアッ

プ2の光学系のトラッキング制御を行う。また、スピンドルモータサーボにより、光ディスク1が所定の線速度（標準の例えば2倍の線速度）で回転駆動されるようにスピンドルモータ13の回転を制御する。さらに、スレッドサーボにより、システムコントローラ10により指定される光ディスク1の目的トラック位置に光学ピックアップ2を移動制御する。このような各種制御動作を行うサーボ制御回路9は、該サーボ制御回路9により制御される各部の動作状態を示す情報を、システムコントローラ10に送っている。

【0019】システムコントローラ10は、各部の動作を制御するマイクロプロセッサ等のCPU（中央処理ユニット）と、このCPUで実行される制御プログラムが予め記憶されたROM（リードオンリメモリ）と、各種データが書込/読出されて一時的に記憶されるRAM（ランダムアクセスメモリ）と、CPUと外部との間で各種信号の送受をおこなうI/O（入出力）回路とを有して構成されるようないわゆるマイクロコンピュータ（マイコン）システムである。このシステムコントローラ10には、各部の動作状態等を表示するための表示部11や、各種動作を指示するためのキー入力操作部12等が接続されている。表示部11には、例えばLCD（液晶表示器）、LED（発光ダイオード）表示装置、FLディスプレイ装置、あるいはプラズマディスプレイ装置等が用いられる。キー入力操作部12には、例えば再生ボタンや停止ボタンや早送りボタン等の各種操作キーが設けられている。また、システムコントローラ10は、信号処理部4及びRAMコントローラ5との間で信号を送受して、これらの信号処理部4及びRAMコントローラ5の動作を制御している。

【0020】ここで、例えば外乱等によりサーボ系が乱され再生信号が途切れるような原因が生じたとき、すなわち具体的には、例えば、

- a) フォーカスが外れた場合、
- b) サブコードQデータが不連続となった場合、
- c) PLL系が一定時間以上不安定となった場合、
- d) 補間処理が行われた（補間のフラグが立った）場合、

等には、システムコントローラ10がそれをモニタし、バッファ用RAM6への書き込みを中断する。そして、サーボ系を復帰させた後、例えば再生信号が途切れた直前のアドレスへアクセスし、そのアドレス位置から書き込みを再開する。これにより、バッファRAM6に蓄えられたデータが空にならない限り、連続した再生出力が得られることになる。また、バッファ用RAM6に蓄えられたデータがRAM6の容量一杯になった場合も、該RAM6への書き込みを一旦中断して、ポーズ動作等に入る。

【0021】ところで、信号処理部4に入力される上記RF信号は、光ディスク1の回転むらを含んだいわゆる

PLL系クロックに同期しているのに対し、RAMコントローラ5へ出力されるメインデータは、基準クロックとしての例えばいわゆる水晶系クロックに同期したものであるため、両者間にはジッタが存在する。このため、上記バッファ用RAM6への書き込みを開始するタイミングを、信号処理部4においていわゆるサブコードQデータをデコードして得た絶対時間に依存させると、データの欠落や重複等のつなぎエラーが発生する。このため、RAMコントローラ5内にデータ比較ブロックを設け、バッファ用RAM6に書き込まれているデータの最後の数サンプル程度のデータと、信号処理部4からRAMコントローラ5を介してRAM6に送られるデータとを比較し、これらのデータが一致したタイミングで、信号処理部4からのデータをバッファ用RAM6に書き込むようにしている。

【0022】すなわち、図2は信号処理部4の具体例を、また図3はRAMコントローラ5の具体例をそれぞれ示している。図2において、上記プリアンプ3からのRF信号は、EFM復調回路21、同期検出回路22及びPLL・タイミング発生回路23にそれぞれ送られている。EFM復調回路21は、EFM方式で変調されているRF信号の復調処理を行って、メインデータ信号をデータバスDBに、サブコードデータ信号をサブコードQ処理回路24に送る。同期検出回路22はサブコーディングフレーム同期信号を検出してPLL・タイミング発生回路23に送る。PLL・タイミング発生回路23は上記RF信号のチャンネルビットクロック（EFMクロック）成分を検出してPLLロックをかけると共に、上記サブコーディングフレーム同期信号を利用してこのチャンネルビットクロックを分周すること等により、ワードクロック、EFM復調後のデータのビットクロック等を生成し、書込クロックWCKを読出／書込制御回路27に送る。また、PLL・タイミング発生回路23からはサブコーディングフレーム同期信号等が出力されて、例えばスピンドルサーボ等に用いられる。サブコードQ処理回路24からはサブコードQデータ等がシリアル出力され、上記光ディスク1上の光ピックアップ2の現在位置情報として用いられる。

【0023】EFM復調回路21からデータバスDBに送られたメインデータ（オーディオデータ及び誤り検出訂正用のパリティデータ）は、上記光ディスク1の回転むら等によるジッタ成分を含んだPLL・タイミング発生回路23からの書込クロックWCKに同期して、読出／書込制御回路27によりデコード処理用RAM26に書き込まれる。その後、読出／書込制御回路27によりデコード処理用RAM26に対する読出／書込が制御されながら、上記CIRCに基づいて、誤り訂正処理回路25による誤り検出・訂正処理や、デインターリーブ処理が施される。デコード処理用RAM26は、このCIRCデコードに必要とされる容量（例えば108フレ-

ム程度）に加えて、上記ジッタ吸収のために所定（例えば±24フレーム）のマージンがとれる程度の容量を有しており、例えば32kビットRAMが用いられる。デコード処理されたメインデータ（PCMデータ）は、水晶発振器等の基準発振器を備えたタイミング発生回路29からの読出クロックRCKに同期して、読出／書込制御回路27によりデコード処理用RAM26から読み出され、インターフェース回路28に送られる。インターフェース回路28からは、上記デコード処理されたメインデータと、ビットクロックBCK、ワードクロックWDCK、LR（ステレオ左右チャンネルワードの切り換え用）クロックLRCK等の各種クロックとが出力され、RAMコントローラ5やシステムコントローラ10等に送られる。ここで、上記書込／読出動作は、標準よりも速い速度、例えば2倍速で、間歇的に行われる。

【0024】次に図3において、上記信号処理回路4（のインターフェース回路28）からの入力データは、レジスタ31に送られて1サンプル16ビットのPCMデータとして蓄えられ、上記システムコントローラ10がデータ書込を許可しているときには、データセクタ32を介し、アドレス生成回路34から出力される書込アドレスに従って、バッファ用RAM6に書き込まれる。このとき、標準よりも速い速度で間歇的にデータ書込が行われる。データの読み出しは、アドレス生成回路34から出力される読出アドレスに従って、バッファ用RAM6からデータセクタ32を介してレジスタ33に取り込まれ、サンプリング周波数（例えば44.1kHz）に応じた一定の再生レートでレジスタ33から連続的に出力されて、上記D/A変換器7へ送られる。

【0025】ここで、前述したようなバッファ用RAM6への書き込みが一旦中断され、その後書き込みを再開するとき、すなわちデータつながぎを行うときには、バッファ用RAM6に最後にデータを書き込んだときのアドレスがアドレス生成回路34より出力され、そのデータがバッファ用RAM6からデータセクタ32を介してレジスタ35に取り込まれる。このデータは、信号処理部4からレジスタ31に入力されたデータとデータ比較器36にて比較され、両者が一致したときに一致出力が出されてデータつながぎのタイミングを決定する。すなわち、一致出力が得られた次の信号処理部4からの入力データからバッファ用RAM6に書き込んでいけばよい。

【0026】次に、図4は、バッファ用RAM6に対する書込／読出動作をメモリ空間上で模式的に示し、また図5は、上記アドレス生成回路34の内部構成の一例を示している。これらの図4及び図5において、上記図1のシステムコントローラ10からの書込イネーブル信号W-ENが書込アドレスカウンタ13に送られると、この書込アドレスカウンタ13が動作して、標準よりも速い速度で進む（インクリメントされる）書込アドレスWAが発生する。この書込アドレスWAにより、上記バッ

ファRAM6にデータを書き込む。さらに上記システムコントローラ10等は、サブコード情報をチェックすること等により音とび等を確認し問題が無ければ状態良好信号SOKを有効書込アドレスラッチ14に送る。有効書込アドレスラッチ14は、この信号SOKに応じて書込アドレスカウンタ13からの書込アドレスWAをラッチし、有効書込アドレスVWAとして出力する。このアドレスVWAまでの記憶データが、音とび等の発生していない再生可能なデータであり、上記D/A変換器7へ送ることができる。

【0027】また、上記システムコントローラ10からの読出イネーブル信号R-ENに応じて読出アドレスカウンタ15が動作し、標準速度で進む読出アドレスRAを発生し、バッファ用RAM6に書き込まれたデータを順次読み出してゆく。この読出アドレスRAの歩進（インクリメント）動作の速度（読出速度）より、書込アドレスWAの歩進速度（書込速度）の方が高いため、ループ状のメモリ空間上ではアドレスWAはアドレスRAに追い付いてしまうが、このときは書込アドレスWAの歩進動作を停止させ、読出アドレスRAが歩進してデータ残量が所定量を下回る時点で書込を再開（書込アドレスWAの歩進動作を再開）させる。このときのデータ残量とは、有効書込アドレスVWAから読出アドレスRAまでの実際に再生可能なデータの量を示す。減算器16では、このアドレスVWAからアドレスRAを減算したアドレス差 ΔA を求めている。

【0028】ここで、バッファ用RAM6から読み出されてD/A変換器7に送られるデータと、上記サブコードQ処理回路24等で求められシステムコントローラ10が持っているサブコードの時間情報との間の時間差は、上記デコード処理用RAM26での遅延量とバッファ用RAM6での遅延量を加算したものであるが、デコード処理用RAM26での遅延量は前述したジッタ補正分を含めても十数msec程度であり、時間表示等の場合には無視してもよいことから、以下の説明中ではバッファ用RAM6での遅延量のみを考慮に入れる。

【0029】従って、実際の再生データとサブコードの時間情報との間の時間差Tdは、上記アドレス差 ΔA （ $=VWA-RA$ ）に応じたデータ量Dmをデータ読出

レートDrで除算したものである。バッファ用RAM6の1アドレスに対する記憶単位（ワード）のビット数をnビットとすると、上記時間差Tdは、

$$Td = Dm / Dr = (n \times \Delta A) / Dr$$

となる。

【0030】以上のことから、システムコントローラ10は、信号処理部4のサブコードQ処理回路24等から受け取ったサブコード情報を、全て上記時間差Tdだけ遅らせて、実際の時間表示やディエンファシス切り換え等の制御動作を行わせればよい。すなわち、表示部11に絶対時間TABSや曲内の経過時間（ラップタイム）TLAP等を表示するときには、サブコードQ情報から得られた絶対時間TQABSや曲内時間TQLAP等から上記時間差Tdをそれぞれ減算した値を表示すればよく、またディエンファシス等の切換制御を行わせるときも、上記時間差Tdだけ遅らせて切り換えれば再生オーディオ信号の内容と一致させることができる。また、曲番号（トラック番号）、インデックス番号の表示等も同様である。

【0031】また、ポーズ（一時停止）、A-B間リポート等の特殊な再生状態でも、上記時間差Tdを考慮に入れてコントロールすることにより、装置の表示とオーディオ出力とキー操作との間に不自然な感じを与えないようにすることができる。

【0032】上記アドレス差 ΔA は、アドレスのビット数（例えば20ビット）を全ビット求める必要はなく、要求される精度に応じて上位の数ビット程度を用いるようにしてもよい。ここでバッファ用RAM6の具体例として、1ワードのビット数nが4ビットでアドレスのビット数が20ビット（A0～A19）となる記憶容量が4Mビットのメモリを用いる場合に、上位4ビット（A16～A19）のみを用いると、0.25Mビット単位で区別可能な精度となる。上記データ読出レートDrを約1.4Mビット/秒とすると、上記アドレス差 ΔA を表す20ビットのアドレス（A0～A19）の上位4ビット（A16～A19）の値に対するデータ量〔Mビット〕、及び時間換算量〔秒、フレーム〕を次の表1に示す。

【0033】

【表1】

ΔA (A ₁₆ ～A ₁₉)	0	1	2	3	4	5	6	E	F
データ量 〔Mビット〕	0	0.25	0.50	0.75	1.00	1.25	1.50	3.50	3.75
時間換算量 〔秒、フレーム〕	0.00	0.14	0.28	0.42	0.56	0.70	1.09	2.45	2.59

【0034】ただし、この場合、計算後のデータには誤差が発生し、CDの経過時間等の表示では時間が戻ったりすることもある。このような場合には、計算値が誤差

分によって減ることのないようプログラムで対応することにより、不自然な感じを防ぐことができる。

【0035】また、アドレス差 ΔA を、数字により、あ

るいは視覚的な量の表現により、表示部11に表示することにより、機器の使用者にバッファ用RAM6のメモリ残量やメモリ記憶データ量等を知らせることができ、動作状態の確認等に有用である。ここで上記視覚的な量を表現するような表示とは、例えばバッファ用RAM6を想起させる容器を表現する固定表示エレメントと、この固定表示エレメントに囲まれる位置に配置されRAM6に記憶されている再生可能なデータ量を逐一表現する可変表示エレメントとにより実現できる。

【0036】以上の説明からも明らかなように、本発明によれば、メモリ(RAM6)にはメインデータを蓄えるだけでよく、メモリ容量が有効に使用でき、なおかつ書込データの情報で読出メインデータをコントロールしたりできる。また、サブコードQデータによる絶対時間TQABSや曲内経過時間(ラップタイム)TQLAP等から上記バッファ用RAM6での遅延量の時間Tdを減算するだけで、実際に再生されるメインデータに対してタイミングの一致した時間情報(TABSやTLAP等)を得ることができ、適切な表示を行わせることができ、バッファ用RAM6内の再生可能なデータ量を表示して装置の動作状態を知らせることもできる。また、ディエンファシス切換等の再生データの制御を正しいタイミングで行わせることができる。さらに、ポーズ、A-Bリピート等の特別な動作を行わせるときも、違和感のない自然な操作や表示が行える。

【0037】なお、本発明は上記実施例のみに限定されるものではなく、例えば、記録媒体としては、光ディスクの他にも、光磁気ディスク、磁気ディスク、磁気テープ等が使用でき、フォーマットもいわゆるCDフォーマットに限定されない。また、PCMオーディオデータ以外に、ビデオデータや、圧縮処理されたデータ等も、上記メインデータとして使用できる。さらに、補助データは上記サブコードデータに限定されず、また誤り訂正処理を行わないようなフォーマットにも適用できる。ハードウェア構成も図示の例に限定されないことは勿論である。

【0038】

【発明の効果】以上の説明からも明らかなように、本発明に係るデータ再生装置によれば、メインデータに補助データが付加された記録データを記録媒体から読み出して上記メインデータを分離し、バッファ用メモリに対して書込/読出を制御する際に、このバッファ用メモリに記憶されている再生可能なデータの量に応じた書込、読出間の遅延量と上記記録媒体から読み出された上記補助データから得られる時間関連情報とに基づき、上記バッファ用メモリから読み出されているメインデータの時間関連情報を算出しているため、上記バッファ用メモリに

はメインデータのみを蓄えればよく記憶容量の有効利用率が高まり、該バッファ用メモリから読み出されて実際に再生されているメインデータに対してタイミングの一致した時間関連情報が得られる。

【0039】また、本発明に係るデータ再生装置は、上記補助データから得られるディエンファシス切換等の制御情報信号を、上記バッファ用メモリに記憶されている再生可能なデータの量に応じた書込、読出間の遅延量の時間だけ遅延させて、ディエンファシス切換等の制御を行わせているため、上記バッファ用メモリから読み出されているメインデータに対する制御が正しいタイミングで行われる。

【図面の簡単な説明】

【図1】本発明に係るデータ再生装置の一実施例の全体の概略構成を示すブロック図である。

【図2】上記実施例中の信号処理部の具体例を示すブロック回路図である。

【図3】上記実施例中のRAMコントローラの詳細例及びその周辺を示すブロック回路図である。

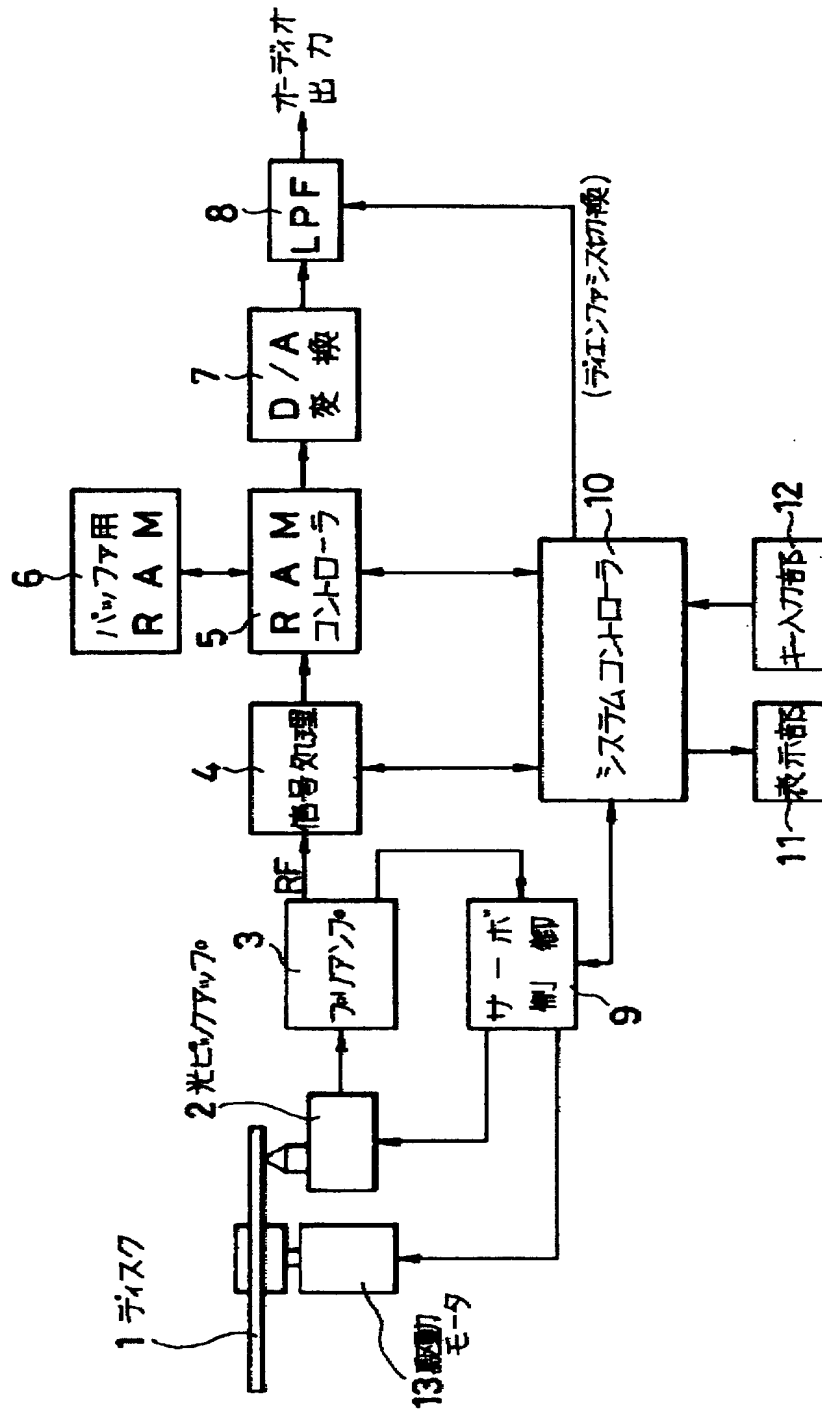
【図4】上記実施例中のバッファ用RAMのメモリ空間上での書込アドレス及び読出アドレスの移動を説明するための図である。

【図5】上記図3中のアドレス生成回路の内部構成の一例を示すブロック図である。

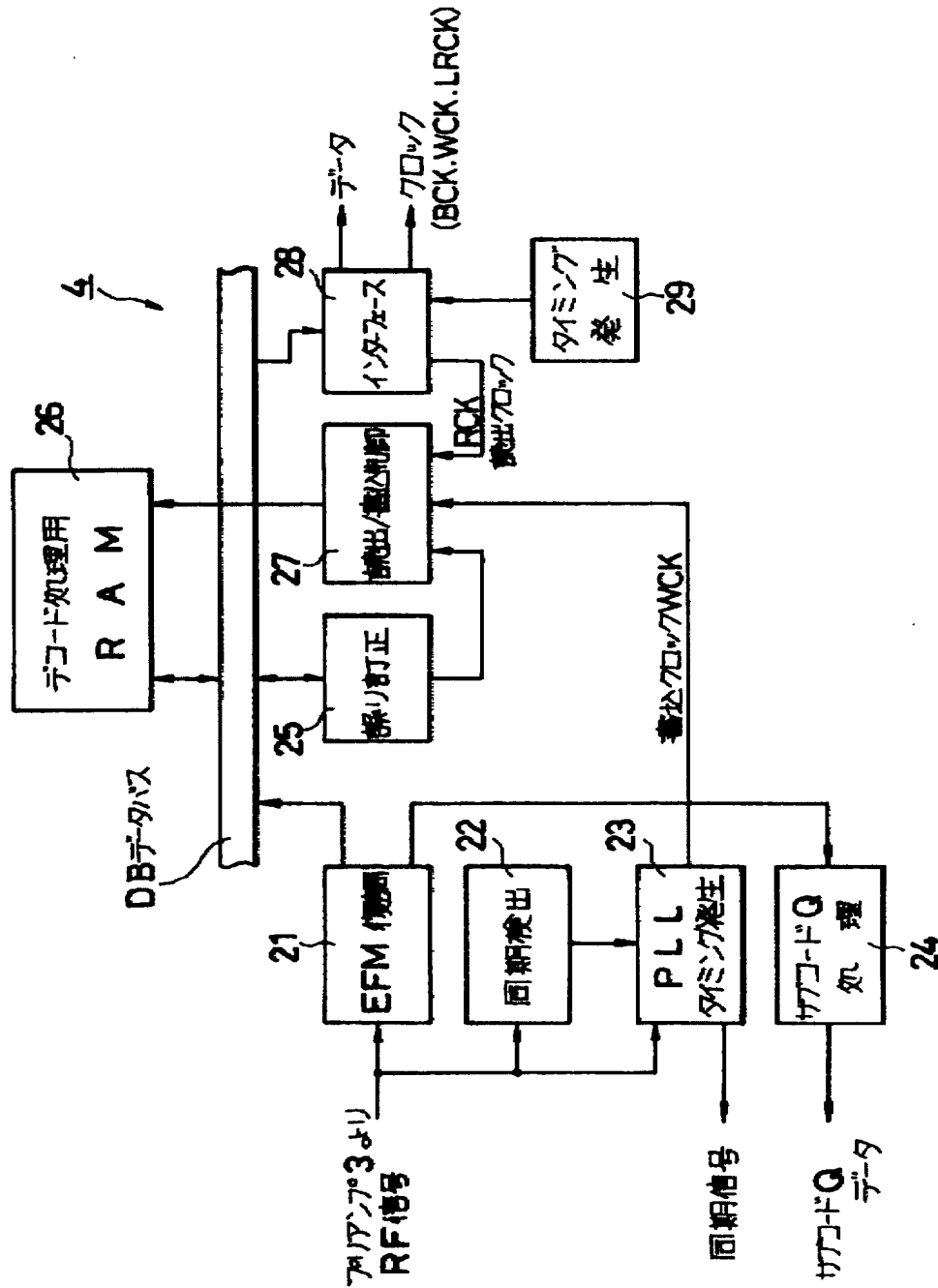
【符号の説明】

- 1・・・光ディスク
- 2・・・光ピックアップ
- 4・・・信号処理部
- 5・・・RAMコントローラ
- 6・・・バッファ用RAM
- 9・・・サーボ制御回路
- 10・・・システムコントローラ
- 11・・・表示部
- 12・・・キー入力部
- 13・・・書込アドレスカウンタ
- 14・・・有効書込アドレスカウンタ
- 15・・・読出アドレスカウンタ
- 16・・・減算器
- 21・・・EFM復調回路
- 23・・・PLL・タイミング発生回路
- 24・・・サブコードQ処理回路
- 25・・・誤り訂正処理回路
- 26・・・デコード処理用RAM
- 27・・・読出/書込制御回路
- 29・・・タイミング発生回路
- 31、33、35・・・レジスタ
- 36・・・データ比較器

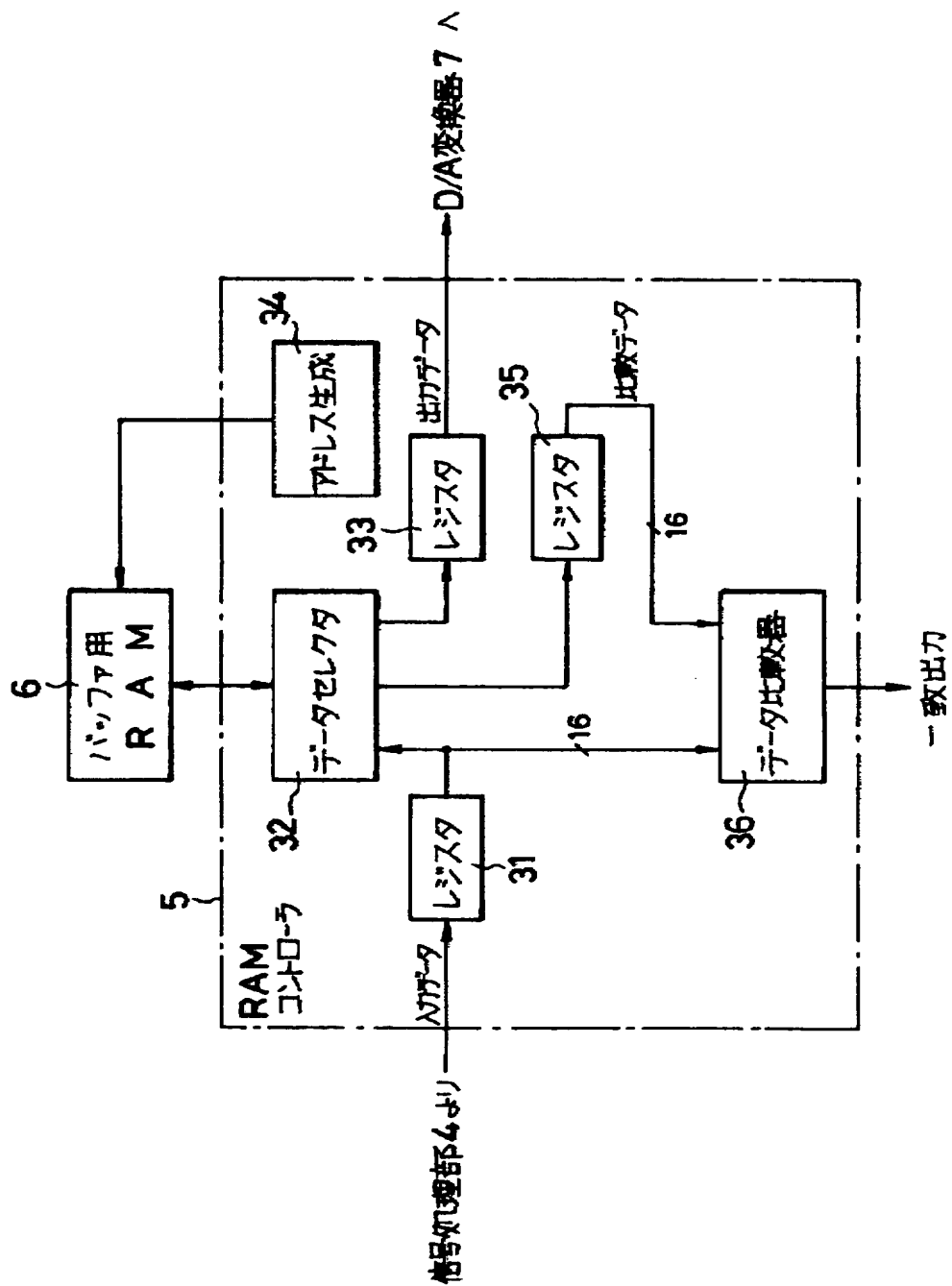
【図1】



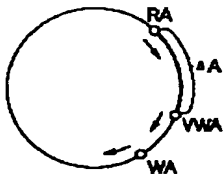
【図2】



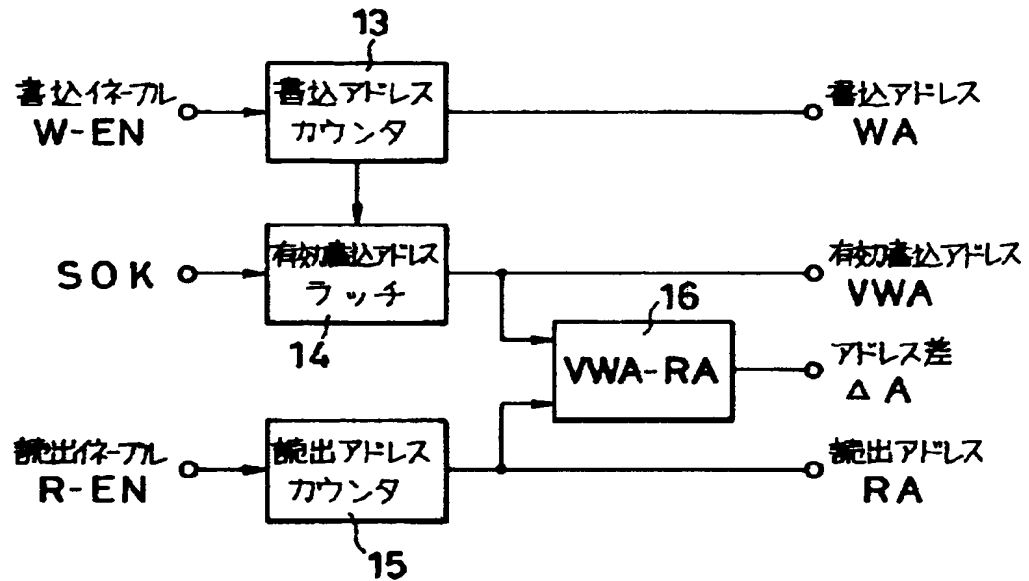
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 角野 徹

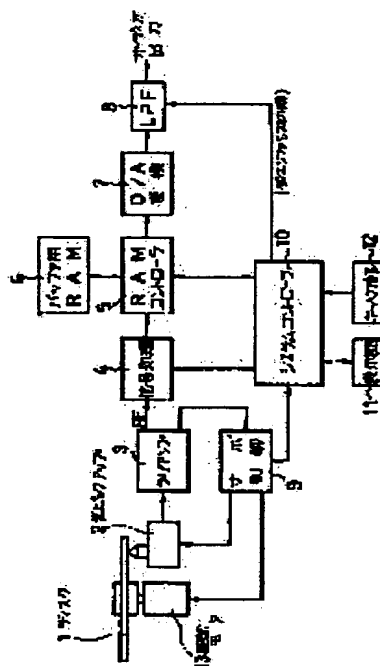
神奈川県横浜市保土ヶ谷区神戸町134 横
 浜ビジネスパーク イーストタワー11F
 ソニーLSIデザイン株式会社内

(11)Publication number : 05-217339
(43)Date of publication of application : 27.08.1993

G11B 27/10
G11B 20/10
G11B 20/10

(71)Applicant : SONY CORP
(72)Inventor : ARATAKI YUUJI
MASUDA SHOZO
KABASAWA KENICHI
SUMINO TORU

CONSTITUTION: Data read out of a disk 1 is decoded by a signal processing part 4 to take out its main data, which is then controlled of write/read on the buffer RAM 6 by a RAM controller 5, so that the main data is sent to a D/A converter 7 at a constant rate and is outputted via an LPF 8. A delay amt. between write and read is evaluated by a system controller 10 based on a data amt. stored in the buffer RAM 6, and time information and control information of subcode data from the signal processing part 4 are delayed by this delay amt., and are displayed on a display part 11, or are controlled for a changeover to the LPF 8, etc.



[Date of request for examination]	28.01.1999
[Date of sending the examiner's decision of rejection]	08.04.2003
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3465265
[Date of registration]	29.08.2003
[Number of appeal against examiner's decision of rejection]	2003-08067
[Date of requesting appeal against examiner's decision of rejection]	08.05.2003
[Date of extinction of right]	

<http://www19.ipdl.ncipi.go.jp/PA1/result/detail/main/wAAAonaynVDA405217339...> 2005/01/06